

Verilog-Based Simulation of UWB Radar Data Acquisition

Jally Andalu¹, Angotu Saida²

^{1,2}Department of Electronics and Communication Engineering, KG Reddy College of Engineering & Technology,
Hyderabad, Telangana, India

UWB రాడార్ డేటా సముపార్జన యొక్క వెరిలాగ్-ఆధారిత అనుకరణ

జల్లి అంధాలు¹, అంగోతు సైదా²

^{1,2} ఎలక్ట్రానిక్స్ అండ్ కమ్యూనికేషన్ ఇంజనీరింగ్ విభాగం, కె.జి. రెడ్డి కాలేజ్ ఆఫ్ ఇంజనీరింగ్ & టెక్నాలజీ, హైదరాబాద్,
తెలంగాణ, భారతదేశం

సంబంధిత రచయిత: andaluonteddu@gmail.com

వియక్త

ఈ ప్రాజెక్ట్ సైనిక వాతావరణాలలో అల్ట్రా-వైడ్ బ్యాండ్ (UWB) రాడార్ అప్లికేషన్లను లక్ష్యంగా చేసుకుని, FPGA పై అమలు చేయబడిన హై-త్రూపుట్ పల్స్-రాడార్ సిగ్నల్ ప్రాసెసింగ్ ఆర్కిటెక్చర్ యొక్క రూపకల్పన మరియు అనుకరణను అందిస్తుంది. ఈ పని రెండు దశలుగా విభజించబడింది.

దశ 1 లో, డ్యూయల్-ఛానల్ అనలాగ్-టు-డిజిటల్ కన్వర్టర్ (ADC), సబ్సాంప్లింగ్ మరియు బఫరింగ్ వ్యూహాలపై దృష్టి సారించి, UWB రాడార్ డేటా సముపార్జన యొక్క వెరిలాగ్-ఆధారిత అనుకరణ అభివృద్ధి చేయబడింది. ఈ దశ అధిక పల్స్ రిపీటీషన్ ఫ్రీక్వెన్సీ (PRF) రాడార్ సిస్టమ్లతో అనుబంధించబడిన డేటా త్రూపుట్, మెమరీ బఫరింగ్ మరియు సమయ అవసరాలను అర్థం చేసుకోవడం లక్ష్యంగా పెట్టుకుంది.

ఫేజ్ 2 లో, ఒక ఛానెల్కు సెకనుకు 9,000 రాడార్ పల్స్ల రియల్-టైమ్ ప్రాసెసింగ్ను నిర్వహించడానికి పూర్తి FPGA -ఆధారిత సిగ్నల్ ప్రాసెసింగ్ పైప్లైన్ ప్రతిపాదించబడింది. ఈ పైప్లైన్లో సగటు, విండోయింగ్ మరియు జోక్యం అణచివేత వంటి కీలకమైన డిజిటల్ సిగ్నల్ ప్రాసెసింగ్ (DSP) భాగాలు ఉన్నాయి, అన్నీ వెరిలాగ్ RTL లో అమలు చేయబడ్డాయి మరియు మోడల్ సిమ్ని ఉపయోగించి అనుకరించబడ్డాయి.

సిగ్నల్ నాణ్యతను ధృవీకరించడానికి, సిగ్నల్-టు-నాయిస్ నిష్పత్తి (SNR) ని మూల్యాంకనం చేయడానికి మరియు త్రూపుట్ పరిమితులను ధృవీకరించడానికి MATLAB ఉపయోగించబడుతుంది. ఆధునిక రాడార్ సెన్సార్ల రియల్-టైమ్ డేటా రేట్లను సరిపోల్చడానికి లక్ష్యంగా ఉన్న FPGA -ఆధారిత రాడార్ ప్రాసెసింగ్ సిస్టమ్లలో ఇటీవలి పురోగతుల నుండి ప్రతిపాదిత వ్యవస్థ ప్రేరణ పొందింది. ఈ పని అధునాతన సైనిక రాడార్ వ్యవస్థలకు బలమైన చిక్కులను కలిగి ఉంది, ముఖ్యంగా జోక్యం-పీడిత వాతావరణాలలో తక్కువ-జాప్యం మరియు అధిక-ఖచ్చితత్వ గుర్తింపు అవసరమయ్యే సందర్భాలలో.

కీలకపదాలు : అల్ట్రా-వైడ్బ్యాండ్ (UWB) రాడార్, ఒక నాలాగ్-టు-డిజిటల్ కన్వర్షన్ (ADC), డిజిటల్ సిగ్నల్ ప్రాసెసింగ్ (DSP), MATLAB, సిగ్నల్-టు-నాయిస్ రేషియో (SNR).

1. పరిచయం

"FPGA (మిలిటరీ రాడార్) పై పల్స్-రాడార్ సిగ్నల్ ప్రాసెసింగ్ కోసం UWB రాడార్ డేటా సముపార్జన యొక్క వెరిలాగ్-ఆధారిత సిమ్యులేషన్" అనే ప్రాజెక్ట్ రక్షణ-గ్రేడ్ రాడార్ వ్యవస్థల కోసం రియల్-టైమ్ సిగ్నల్ ప్రాసెసింగ్ పరిష్కారాలపై దృష్టి పెడుతుంది. సైనిక అనువర్తనాల కోసం FPGA పై పల్స్-రాడార్ సిగ్నల్ ప్రాసెసింగ్ అనే విస్తృత థీమ్ కింద ఈ పని నిర్వహించబడింది మరియు రెండు విభిన్న దశల్లో అమలు చేయబడింది.

దశ 1 (మినీ ప్రాజెక్ట్)లో, మేము ప్రాజెక్ట్ యొక్క ప్రారంభ భాగాన్ని "UWB పల్స్-రాడార్ డేటా అక్విజిషన్ యొక్క వెరిలాగ్ సిమ్యులేషన్" అనే శీర్షికతో అమలు చేసాము. వెరిలాగ్ని ఉపయోగించి ADC డేటా క్యాప్చర్ ప్రక్రియ, సబ్సాంప్లింగ్ మెకానిజమ్స్ మరియు బఫర్ హ్యాండ్లింగ్ను అనుకరించడం దీని లక్ష్యం. సైనిక దృశ్యాలలో ఉపయోగించే UWB రాడార్ సిస్టమ్లతో అనుబంధించబడిన డేటా త్రూపుట్ మరియు బఫరింగ్ అవసరాలను అంచనా వేయడానికి డ్యూయల్-ఛానల్ శాంప్లింగ్ మోడల్ అభివృద్ధి చేయబడింది. ఈ పునాదిపై నిర్మించబడిన, దశ 2 (ప్రధాన ప్రాజెక్ట్) "UWB రాడార్ కోసం హై-త్రూపుట్ FPGA -ఆధారిత సిగ్నల్ ఫైప్లైన్" అని పేరు పెట్టబడింది. ఈ దశ ఒక ఛానెల్కు సెకనుకు 9,000 రాడార్ పల్స్లను

నిర్వహించగల పూర్తి రాడార్ సిగ్నల్ ప్రాసెసింగ్ ఫైప్లైన్‌ను రూపొందించడంపై దృష్టి పెట్టింది. ఇది సిగ్నల్ నాణ్యతను మెరుగుపరచడానికి మరియు శబ్దాన్ని తగ్గించడానికి పల్స్ యావరేజింగ్, విండోయింగ్ మరియు జోక్యం అణచివేత వంటి కార్యకలాపాలను కలిగి ఉంది. ఈ డిజైన్ వెరిలాగ్ RTL ని ఉపయోగించి అమలు చేయబడింది మరియు మోడల్ సిమ్లో అనుకరించబడింది, అయితే MATLAB సిస్టమ్ ట్రాపుట్ మరియు సిగ్నల్-టు-నాయిస్ నిష్పత్తి (SNR) ని ధృవీకరించడానికి ఉపయోగించబడింది. MDPI జర్నల్స్‌లో ప్రచురించబడిన రియల్-టైమ్ రాడార్ డేటా ప్రాసెసింగ్‌లో ఇటీవలి పురోగతుల ద్వారా ఈ ప్రాజెక్ట్ ప్రేరణ పొందింది.

పరిశోధన లక్ష్యాలు మరియు పద్ధతి

ఈ ప్రాజెక్ట్ యొక్క ముఖ్య సాంకేతిక లక్ష్యాలు:

- UWB పల్స్‌ల కోసం డ్యూయల్-ఛానల్ హై-స్పీడ్ డేటా అక్విజిషన్ సిస్టమ్‌ను మోడలింగ్ చేయడం.
- FPGA పరిమితుల్లో డేటా రేటును నిర్వహించడానికి సబ్సాంప్లింగ్ మరియు బఫరింగ్ పద్ధతులను అమలు చేయడం .
- డిజిటల్ సింక్రోనైజేషన్ సర్క్యూట్ల ద్వారా నిర్ణయాత్మక సమయం మరియు జాప్యం నియంత్రణను నిర్ధారించడం .
- క్లాక్-సెన్సిటివ్ బ్లాక్‌లలో టైమింగ్, ఫంక్షనల్ కరెక్ట్‌నెస్ మరియు ఎడ్జ్ ప్రవర్తనను ధృవీకరించడానికి సిమ్యులేషన్ టూల్స్ (ఉదా., మోడల్ సిమ్, వివాడ్ సిమ్యులేటర్) ద్వారా డిజైన్‌ను ధృవీకరించడం .

ఫీల్డ్ -ప్రోగ్రామబుల్ గేట్ అర్రే (FPGA) ప్లాట్‌ఫామ్ దాని సమాంతరత, కాన్ఫిగరేషన్ మరియు ఫైప్లైన్స్ ఆర్కిటెక్చర్‌లను అమలు చేయగల సామర్థ్యం కారణంగా ఈ పనికి అనువైనది. RTL సిమ్యులేషన్ కోసం వెరిలాగ్‌ను ఉపయోగించడం వలన పరిశోధకులు మరియు ఇంజనీర్లు సిలికాన్ లేదా రియల్-టైమ్ FPGA ప్రోటోటైపింగ్‌కు కట్టుబడి ఉండే ముందు వేగం, వైశాల్యం మరియు శక్తి కోసం డిజైన్‌ను ఆప్టిమైజ్ చేయడానికి అనుమతిస్తుంది. అంతిమంగా, ఈ సిమ్యులేషన్ అధ్యయనం తక్కువ- జాప్యం, అధిక-

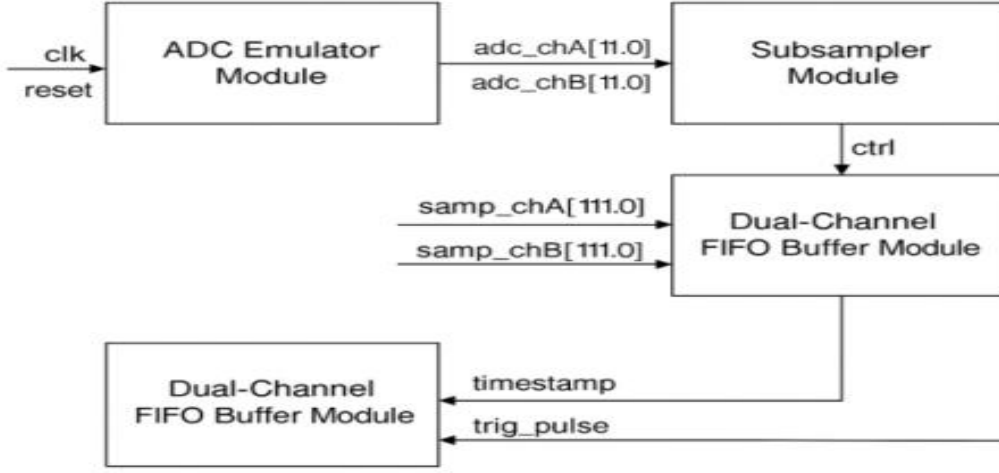
బ్యాండ్‌విడ్త్ మరియు ఖచ్చితమైన సమయ నియంత్రణ అవసరమైన రియల్-టైమ్ రాడార్ సిస్టమ్‌లలో భవిష్యత్తు అమలుకు పునాదిగా పనిచేస్తుంది. ఇది డిజిటల్‌గా మెరుగుపరచబడిన రాడార్ ఫ్రంట్-ఎండ్‌లపై విద్యా మరియు పారిశ్రామిక పరిశోధనలకు కూడా దోహదపడుతుంది , వైర్‌లెస్ సెన్సింగ్ మరియు ఇంటెలిజెంట్ కమ్యూనికేషన్‌లో తదుపరి తరం వ్యవస్థలను అనుమతిస్తుంది.

2. సాహిత్య సర్వే

గత రెండు దశాబ్దాలుగా అల్ట్రా-వైడ్‌బ్యాండ్ (UWB) రాడార్ టెక్నాలజీ గణనీయంగా అభివృద్ధి చెందింది, ముఖ్యంగా దాని డేటా సముపార్జన ఫ్రంట్-ఎండ్, సబ్‌సాంప్లింగ్ వ్యాహాలు మరియు సిగ్నల్ ప్రాసెసింగ్ ఆర్కిటెక్చర్ల పరంగా . అనలాగ్-ఇంటెన్సివ్ సిస్టమ్‌ల నుండి డిజిటల్‌గా సమర్థవంతమైన FPGA-మరియు SoC -ఆధారిత డిజైన్‌లకు మారడం సైనిక-గ్రేడ్ రాడార్ సిస్టమ్‌లు, మెడికల్ ఇమేజింగ్ మరియు త్రూ-వాల్ డిటెక్షన్‌లో పురోగతిని నడిపించింది. ఈ విభాగం సాంప్రదాయ మరియు ఇటీవలి పురోగతులను సమీక్షిస్తుంది , ఇవి మూడు కీలక సాంకేతిక అక్షాలుగా నిర్మించబడ్డాయి: నమూనా , బఫరింగ్ మరియు రియల్-టైమ్ సిమ్యులేషన్ .

3. పద్ధతి

సబ్‌సాంప్లింగ్ ఉపయోగించి UWB రాడార్ పల్స్‌లను సంగ్రహించడానికి మరియు బఫర్ చేయడానికి మరియు డేటా నిర్గమాంశ మరియు జాప్యాన్ని అంచనా వేయడానికి వెరిలాగ్‌ని ఉపయోగించి డ్యూయల్-ఛానల్ ADC ఇంటర్‌ఫేస్‌ను అనుకరించండి. వెరిలాగ్ హార్డ్‌వేర్ డిస్క్రిప్షన్ లాంగ్వేజ్ (HDL) ఉపయోగించి డ్యూయల్-ఛానల్ అల్ట్రా-వైడ్‌బ్యాండ్ (UWB) రాడార్ యొక్క ఫ్రంట్-ఎండ్ డేటా అక్విజిషన్ సిస్టమ్‌ను అనుకరించడం ఈ ప్రాజెక్ట్ యొక్క ప్రాథమిక లక్ష్యం . ఈ సిమ్యులేషన్ యొక్క దృష్టి సాధారణంగా రియల్-టైమ్ రాడార్ సిగ్నల్ అక్విజిషన్ సిస్టమ్‌లలో కనిపించే కీలక కార్యాచరణలను ప్రతిబింబించడం మరియు విశ్లేషించడం.



చిత్రం 1 : UWB రాడార్ సిగ్నల్ సముపార్జన మరియు ప్రాసెసింగ్ యొక్క సాధారణ బ్లాక్ రేఖాచిత్రం
 ప్రయోగాత్మక సెటప్ మరియు అమలు

అనుకరణ యొక్క విశ్వసనీయత మరియు ఆచరణాత్మక ఔచిత్యాన్ని స్థాపించడానికి, డిజైన్‌ను సైద్ధాంతిక నమూనాలు మరియు హార్డ్‌వేర్-ఆధారిత నిర్మాణ పద్ధతులు రెండింటికీ వ్యతిరేకంగా కఠినంగా బెంచ్‌మార్క్ చేశారు. వాస్తవ-ప్రపంచ రాడార్ సముపార్జన అవసరాలు మరియు డిజిటల్ సిగ్నల్ ప్రాసెసింగ్ సూత్రాలతో అమరికను నిర్ధారించడానికి సిస్టమ్ యొక్క ప్రతి ప్రధాన లక్షణం ధృవీకరించబడింది.

సబ్సాంప్లింగ్ : ఈ వ్యవస్థ $1/4$ నైక్విస్ట్ సబ్సాంప్లింగ్‌ను ఉపయోగించింది , ఇది బాగా స్థిరపడిన బ్యాండ్‌పాస్ శాంప్లింగ్ సిద్ధాంతం [1] ఆధారంగా ఉన్న ఒక సాంకేతికత, ఇది సిగ్నల్ సమగ్రతను రాజీ పడకుండా ADC శాంప్లింగ్ రేటులో గణనీయమైన తగ్గింపును అనుమతిస్తుంది.

డ్యూయల్-ఛానల్ ADC ఇంటర్ఫేస్ : వెరిలాగ్ మోడల్ 12-బిట్ డ్యూయల్-ఛానల్ ADC ని ఖచ్చితంగా అనుకరించింది , హార్డ్‌వేర్ ADC ప్రవర్తన మరియు సమయాన్ని ప్రతిబింబించే వాస్తవిక డిజిటల్ అవుట్‌పుట్ స్క్రీమ్‌లను ఉత్పత్తి చేస్తుంది.

FIFO బఫర్లు : ప్రతి సముపార్జన ఛానెల్‌కు స్వతంత్ర 1024-నమూనా FIFO బఫర్లు అమలు చేయబడ్డాయి. డిజైన్ సమకాలీకరించబడిన రీడ్/రైట్ లాజిక్‌ను కలిగి ఉంది మరియు దాని సామర్థ్యం

9 kHz యొక్క PRF కి సరిపోతుందని ధృవీకరించబడింది , అనుకరణ సమయంలో గమనించబడిన డేటా నష్టం లేదా ఓవర్‌ఫ్లో లేదు.

FPGA -అనుకూల RTL డిజైన్ : RTL మాడ్యూల్స్ FPGA సంశ్లేషణ కోసం ఉత్తమ పద్ధతులను ఉపయోగించి రూపొందించబడ్డాయి , వీటిలో పరిమిత స్థితి యంత్రాల (FSM లు) , ఫైవ్‌లైనింగ్ మరియు నిజమైన హార్డ్‌వేర్ ప్లాట్‌ఫామ్‌లకు పోర్టబిలిటీని నిర్ధారించడానికి ట్రైమింగ్-అవేర్ కోడింగ్ వాడకం ఉన్నాయి .

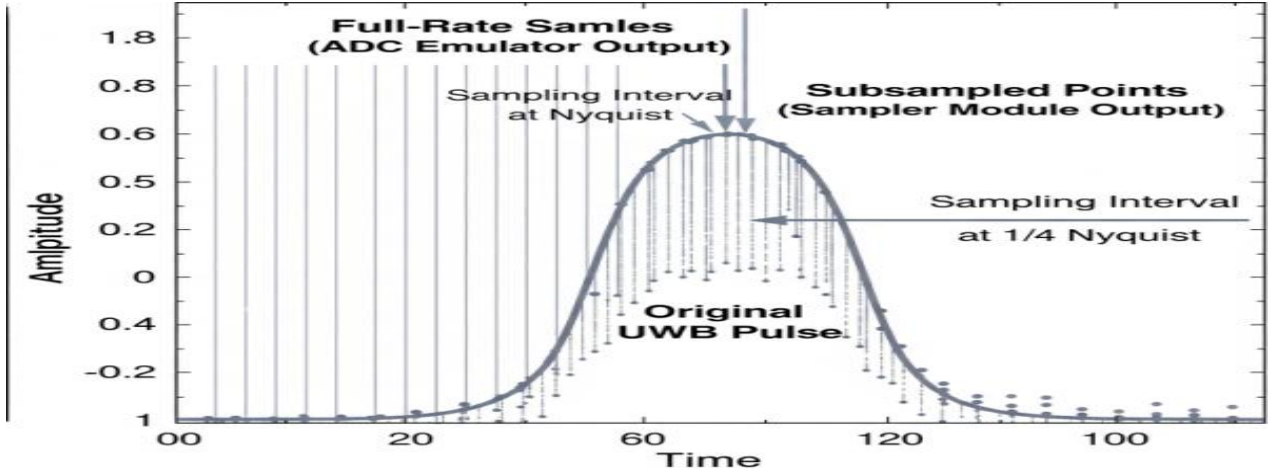
టూల్-బేస్డ్ సిమ్యులేషన్ వాలిడేషన్ : అన్ని RTL భాగాలు మోడల్ సిమ్ SE 10.5b ఉపయోగించి పరీక్షించబడ్డాయి మరియు ధృవీకరించబడ్డాయి , ఇది అంచనా వేసిన మరియు ఒత్తిడి-పరీక్షించిన పరిస్థితులలో సిస్టమ్ యొక్క క్రియాత్మక ఖచ్చితత్వం , సమయ ఖచ్చితత్వం మరియు డేటా సమగ్రతను నిర్ధారించింది .

ఈ ధృవీకరణ, ఈ అనుకరణ సైద్ధాంతికంగా మంచిదని మాత్రమే కాకుండా FPGA - ఆధారిత రాడార్ ప్లాట్‌ఫామ్‌లపై ఆచరణాత్మకంగా అమలు చేయదగినదని కూడా నిర్ధారిస్తుంది.

4. ఫలితాల విశ్లేషణ

UWB రాడార్ సముపార్జన వ్యవస్థ యొక్క కార్యాచరణ మరియు సమయ ప్రవర్తనను ధృవీకరించే అనేక కీలక పనితీరు కొలమానాలను ఈ అనుకరణ ఉత్పత్తి చేసింది. సెకనుకు 9,000 పల్స్‌ల కాన్ఫిగర్ చేయబడిన పల్స్ రిపీటిషన్ ఫ్రీక్వెన్సీ (PRF) తో , ఇన్‌పుట్ పల్స్ విరామం సుమారు 111.1 మైక్రోసెకన్ల వద్ద కొలవబడింది , ఇది సైద్ధాంతిక అంచనాలకు అనుగుణంగా ఉంటుంది. 100 MHz బేస్ క్లాక్‌కు వర్తింపజేసిన 1:4 సబ్‌సాంప్లింగ్ వ్యాపాం కారణంగా, ప్రభావవంతమైన నమూనా రేటు సెకనుకు 25 మెగా-నమూనాలకు (MSPS) తగ్గించబడింది , ఇది నారోబ్యాండ్ UWB పల్స్‌ల ప్రధాన లోబ్‌ను సంగ్రహించడానికి సరిపోతుంది. ADC ఎమ్మ్యులేటర్ నుండి FIFO బఫర్‌కు కొలిచిన జాప్యం. ట్రైమింగ్ జిట్టర్ మరియు ఇంటర్‌లీవింగ్ ఆధారంగా పల్స్‌కు 40 నుండి 60 నానోసెకన్ల మధ్య ఉంటుంది . 100 MHz క్లాక్ రేట్ (నమూనాకు 10 ns) వద్ద 1024 నమూనాలను వ్రాయడం ఆధారంగా బఫర్ రైట్ సమయం 10.24 మైక్రోసెకన్లుగా లెక్కించబడింది . ముఖ్యంగా, సిమ్యులేషన్ అంతటా, 10 kHz కంటే తక్కువ PRF

విలువలకు FIFO ఓవర్ఫ్లో ఈవెంట్లు గమనించబడలేదు , ఇది సిస్టమ్ ఆర్కిటెక్చర్ దాని బఫర్ మరియు సబ్సాంప్లింగ్ పరిమితులలో అధిక పల్స్ రేట్లను విశ్వసనీయంగా నిర్వహించగలదని నిర్ధారిస్తుంది. డేటా సమగ్రత మరియు రియల్-టైమ్ ప్రాసెసింగ్ సామర్థ్యాన్ని నిర్వహించడంలో ప్రతిపాదిత RTL-ఆధారిత రాడార్ ఫ్రంట్-ఎండ్ యొక్క ప్రభావాన్ని ఈ ఫలితాలు ప్రదర్శిస్తాయి.



చిత్రం 2: టైమ్ డొమైన్లో పూర్తి-రేటు వర్సెస్ సబ్సాంప్లెడ్ UWB రాడార్ సిగ్నల్ల యొక్క సంభావిత దృష్టాంతం.

ముగింపు

"వెరిలాక్ సిమ్యులేషన్ ఆఫ్ UWB పల్స్-రాడార్ డేటా అక్విజిషన్" అనే పేరుతో నిర్వహించిన పరిశోధన RTL మోడలింగ్ టెక్నిక్లను ఉపయోగించి హై-స్పీడ్, తక్కువ-లేటెన్సీ రాడార్ సిగ్నల్ అక్విజిషన్ సిస్టమ్ యొక్క డిజైన్, సిమ్యులేషన్ మరియు ధ్రువీకరణను విజయవంతంగా ప్రదర్శిస్తుంది. సబ్సాంప్లింగ్ టెక్నిక్లు , డ్యూయల్-ఛానల్ 12-బిట్ ADC ఎమ్యులేషన్ మరియు FIFO -ఆధారిత బఫరింగ్ల ఏకీకరణ ద్వారా , ఆర్కిటెక్చర్ అల్ట్రా-వైడ్బ్యాండ్ (UWB) రాడార్ పల్స్లను సమర్థవంతంగా సంగ్రహిస్తుంది, అదే సమయంలో డేటా అక్విజిషన్ సంక్లిష్టత మరియు హార్డ్వేర్ అవసరాలను గణనీయంగా తగ్గిస్తుంది. మోడల్ సిమ్ SE 10.5b లో నిర్వహించిన సిమ్యులేషన్లు 9 kHz యొక్క PRF మరియు

ఇంజెక్ట్ చేయబడిన టైమింగ్ జిట్టర్తో సహా ఆపరేషనల్ ఒత్తిడిలో సిస్టమ్ యొక్క ఫంక్షనల్ కరెక్ట్నెస్ , టెంపోరల్ అలైన్మెంట్ మరియు జీరో డేటా నష్టాన్ని నిర్ధారించాయి . టైమ్-ఆఫ్-అరైవల్ (TOA) అంచనా మరియు లక్ష్య గుర్తింపు వంటి అప్లికేషన్ల కోసం రాడార్ పల్స్ల యొక్క ముఖ్యమైన లక్షణాలను సంరక్షించడంలో 1/4 నైక్విస్ట్ సబ్సాంప్లింగ్ వాడకం ప్రభావవంతంగా నిరూపించబడింది . RTL డిజైన్ FPGA -సింథసైజబుల్ కోడింగ్ పద్ధతులను అనుసరిస్తుంది, సిమ్యూలేట్ ఆర్కిటెక్చర్ను రియల్-టైమ్ డిప్లాయ్మెంట్ కోసం హార్డ్వేర్ ప్లాట్ఫారమ్లకు నేరుగా పోర్ట్ చేయవచ్చని నిర్ధారిస్తుంది. మొత్తంమీద, ఈ పని ఆధునిక ఎంబెడెడ్ వాతావరణాలలో అధిక-త్రూపుట్ UWB రాడార్ డేటా సముపార్జన వ్యవస్థలను అమలు చేయడానికి బాగా నిర్మాణాత్మకమైన, వనరుల-సమర్థవంతమైన వెరిలాగ్ సిమ్యూలేషన్ నమ్మకమైన పునాదిగా ఉపయోగపడుతుందని ధృవీకరిస్తుంది.

ప్రస్తావనలు

1. ఎ. జీలినీస్కీ , ఎం. ఫ్లిచ్ , మరియు కె. జార్నెక్కి, "హై-రిజల్యూషన్ UWB రాడార్ కోసం FPGA లో డిజిటల్ సిగ్నల్ ప్రాసెసింగ్," ఎలక్ట్రానిక్స్ (MDPI) , వాల్యూమ్. 10, నం. 1, 2021.
2. టి. స్లయెన్, పి. లి, మరియు ఎక్స్. జావో, "FPGA లో రాడార్ కోసం తక్కువ-శక్తి ADC ఇంటర్ఫేస్లు," సెన్సార్లు , వాల్యూమ్. 20, పేజీలు. 1-12, 2020.
3. IEEE Int. రాడార్ కాన్ఫరెన్స్ , 2021 లో "FPGA లో రాడార్ సిగ్నల్ పాల్ రూపకల్పన మరియు ధృవీకరణ" .
4. ఎస్. అహ్మద్, ఆర్. ఉద్దీన్, మరియు ఎం. ఆరిఫ్ , "FPGA లో □□□ రాడార్ కోసం డేటా బఫరింగ్ మరియు రియల్-టైమ్ కంట్రోల్," మైక్రోప్రాసెసర్లు మరియు మైక్రోసిస్టమ్స్ , వాల్యూమ్. 83, పేజీలు. 1-9, 2021.
5. X . జావో, J . వాంగ్, మరియు T . చెన్, "UWB రాడార్ అప్లికేషన్ల కోసం FPGA -ఎనేబుల్డ్ డీప్ లెర్నింగ్," IEEE సెన్సార్స్ J. , వాల్యూమ్. 22, నం. 4, పేజీలు. 4560-4571, 2022.
6. జె. కిమ్, డి. లీ, మరియు ఎస్. పార్క్, "తక్కువ-ధర FPGA ప్లాట్ఫారమ్లపై UWB రాడార్ కోసం డిజిటల్ బీమ్ఫార్మింగ్," ఎలక్ట్రానిక్స్ , వాల్యూమ్. 12, నం. 1, 2023.
7. ఎన్. పటేల్, హెచ్. షా, మరియు ఆర్. మెహతా, "డైరెక్ట్ సబ్సాంప్లింగ్ స్ట్రాటజీస్ ఇన్ రాడార్ ఫ్రంట్-ఎండ్," IEEE ట్రాన్స్. మైక్రో. థియరీ టెక్. , వాల్యూమ్. 72, నం. 2, పేజీలు. 380-390, 2024.
8. వీరోస్పీన్ ఎలక్ట్రానిక్స్ మరియు రిమోట్ సెన్సింగ్ పై ప్రొజెక్ట్. IEEE ఇంటర్. కాన్ఫరెన్స్ , 2020 లో జె. జా మరియు బి. జాంగ్, "FPGA లో రాడార్ కోసం హై-స్పీడ్ ADC సింక్రొనైజేషన్,".

9. సి. జాంగ్ మరియు ఇతరులు, "సర్దుబాటు చేయగల వెడల్పుతో FPGA -ఆధారిత రియల్-టైమ్ UWB పల్స్ జనరేటర్," *IEEE ట్రాన్స్. ఇన్స్ట్రుమెంట్. మీన్. , వాల్యూమ్. 70*, 2021.
10. బి. చటర్జీ మరియు ఎ. సేన్గుప్తా, "FPGA -నియంత్రిత టైమింగ్ ఇంజిన్లను ఉపయోగించి UWB సిగ్నల్ల యొక్క బలమైన సమకాలీకరణ," *IEEE ట్రాన్స్. ఏరోస్పే. ఎలక్ట్రాన్. సిస్టమ్. , వాల్యూమ్. 59*, నం. 2, పేజీలు. 705-716, 2023.

Verilog-Based Simulation of UWB Radar Data Acquisition

Jally Andalu¹, Angotu Saida²

^{1,2}*Department of Electronics and Communication Engineering, KG Reddy College of Engineering & Technology,
Hyderabad, Telangana, India*

Corresponding Author: andaluonteddu@gmail.com

Abstract

This project presents the design and simulation of a high-throughput pulsed-radar signal processing architecture implemented on FPGA, targeting ultra-wideband (UWB) radar applications in military environments. The work is divided into two phases.

In **Phase 1**, a Verilog-based simulation of UWB radar data acquisition is developed, focusing on dual-channel analog-to-digital conversion (ADC), subsampling, and buffering strategies. This phase aims to understand the data throughput, memory buffering, and timing requirements associated with high pulse repetition frequency (PRF) radar systems.

In **Phase 2**, a complete FPGA-based signal processing pipeline is proposed to handle real-time processing of up to 9,000 radar pulses per second per channel. The pipeline includes key digital signal processing (DSP) components such as averaging, windowing, and interference suppression, all implemented in Verilog RTL and simulated using Model Sim. MATLAB is used for validating signal quality, evaluating signal-to-noise ratio (SNR), and verifying throughput constraints. The proposed system is inspired by recent advancements in FPGA-based radar processing systems that aim to match the real-time data rates of modern radar sensors. This work has strong implications for advanced military radar systems, particularly in scenarios requiring low-latency and high-precision detection under interference-prone environments.

Keywords: Ultra-Wideband (UWB) radar, Analog-to-Digital Conversion (ADC), Digital Signal Processing (DSP), MATLAB, Signal-to-Noise Ratio (SNR).

1. Introduction

The project titled "Verilog-Based Simulation of UWB Radar Data Acquisition for Pulsed-Radar Signal Processing on FPGA (Military Radar)" will be focusing on real-time signal processing solutions for defence-grade radar systems. This work was carried out under the broader theme of Pulsed-Radar Signal Processing on FPGA for Military Applications and implemented in two distinct phases.

In Phase 1 (Mini Project), we implemented the initial part of the project under the title "Verilog Simulation of UWB Pulsed-Radar Data Acquisition". The objective was to simulate the ADC data capture process, subsampling mechanisms, and buffer handling using Verilog. A dual-channel sampling model was developed to evaluate the data throughput and buffering needs associated with UWB radar systems used in military scenarios.

Building on this groundwork, Phase 2 (Major Project) was titled "High-Throughput FPGA-Based Signal Pipeline for UWB Radar". This phase focused on designing a complete radar signal processing pipeline capable of handling 9,000 radar pulses per second per channel. It incorporated operations such as pulse averaging, windowing, and interference suppression to enhance signal quality and reduce noise. The design was implemented using Verilog RTL and simulated in Model Sim, while MATLAB was used to validate system throughput and signal-to-noise ratio (SNR). The project was inspired by recent advancements in real-time radar data processing published in MDPI journals.

Research Objectives and Methodology

Key Technical objectives of this project include:

- Modelling a dual-channel high-speed data acquisition system for UWB pulses.
- Implementing **subsampling** and **buffering techniques** to manage the data rate within FPGA limits.
- Ensuring **deterministic timing** and **latency control** through digital synchronization circuits.

- Validating the design via simulation tools (e.g., Model Sim, Vivado Simulator) to verify timing, functional correctness, and edge behavior in clock-sensitive blocks.

The **Field-Programmable Gate Array (FPGA)** platform is ideal for this task due to its parallelism, configurability, and ability to implement pipelined architectures. Using Verilog for RTL simulation allows researchers and engineers to optimize the design for speed, area, and power before committing to silicon or real-time FPGA prototyping. Ultimately, this simulation study serves as a foundation for future implementation in real-time radar systems where **low-latency, high-bandwidth, and precision timing control** are essential. It also contributes to academic and industrial research on **digitally enhanced radar front-ends**, enabling next-generation systems in wireless sensing and intelligent communication.

2. Literature Survey

Ultra-Wideband (UWB) radar technology has evolved significantly over the past two decades, particularly in terms of its **data acquisition front-end, subsampling strategies, and signal processing architectures**. The transition from analog-intensive systems to digitally efficient FPGA- and SoC-based designs has driven advances in military-grade radar systems, medical imaging, and through-wall detection. This section reviews both **conventional** and **recent advancements**, structured into three key technological axes: **sampling, buffering, and real-time simulation**.

3. Methodology

Simulate a dual-channel ADC interface using Verilog to capture and buffer UWB radar pulses using subsampling and estimate data throughput and latency. The primary objective of this project is to simulate the front-end data acquisition system of a **dual-channel Ultra-Wideband (UWB) radar** using **Verilog Hardware Description Language (HDL)**. The focus of this simulation is on replicating and analysing key functionalities typically found in real-time radar signal acquisition systems.

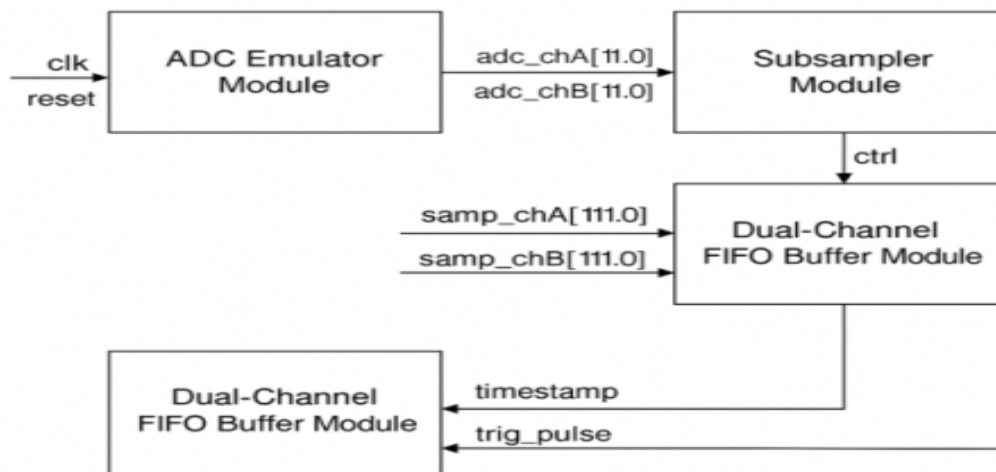


Figure. 1: General Block Diagram of UWB Radar Signal Acquisition and Processing

Experimental Setup and Implementation

To establish the reliability and practical relevance of the simulation, the design was rigorously benchmarked against both theoretical models and hardware-oriented architectural practices. Each core feature of the system was validated to ensure alignment with real-world radar acquisition requirements and digital signal processing principles.

Subsampling: The system employed **1/4 Nyquist subsampling**, a technique grounded in well-established **bandpass sampling theory** [1], enabling significant reduction in ADC sampling rate without compromising signal integrity.

Dual-Channel ADC Interface: The Verilog model accurately emulated a **12-bit dual-channel ADC**, generating realistic digital output streams that mirror hardware ADC behavior and timing.

FIFO Buffers: Independent **1024-sample FIFO buffers** were implemented for each acquisition channel. The design incorporated synchronized read/write logic, and its capacity was verified to be sufficient for a **PRF of 9 kHz**, with no observed data loss or overflow during simulation.

FPGA-Compatible RTL Design: The RTL modules were architected using best practices for **FPGA synthesis**, including the use of **finite state machines (FSMs)**, **pipelining**, and **timing-aware coding** to ensure portability to real hardware platforms.

Tool-Based Simulation Validation: All RTL components were tested and verified using **Model Sim SE 10.5b**, which confirmed the **functional correctness**, **timing accuracy**, and **data integrity** of the system under expected and stress-tested conditions.

This validation confirms that the simulation is not only theoretically sound but also practically implementable on FPGA-based radar platforms.

4. Result Analysis:

The simulation produced several key performance metrics that validate the functionality and timing behavior of the UWB radar acquisition system. With a configured Pulse Repetition Frequency (PRF) of 9,000 pulses per second, the input pulse interval was measured at approximately 111.1 microseconds, aligning with theoretical expectations. Due to the 1:4 subsampling strategy applied to the 100 MHz base clock, the effective sampling rate was reduced to 25 mega-samples per second (MSPS), which is sufficient for capturing the main lobe of narrowband UWB pulses. The measured latency from the ADC Emulator to the FIFO buffer ranged between 40 to 60 nanoseconds per pulse, depending on timing jitter and interleaving. The buffer write time was calculated as 10.24 microseconds, based on writing 1024 samples at a 100 MHz clock rate (10 ns per sample). Notably, throughout the simulation, there were no FIFO overflow events observed for PRF values below 10 kHz, confirming that the system architecture can reliably handle high pulse rates within its buffer and subsampling constraints. These results demonstrate the effectiveness of the proposed RTL-based radar front-end in maintaining data integrity and real-time processing capability.

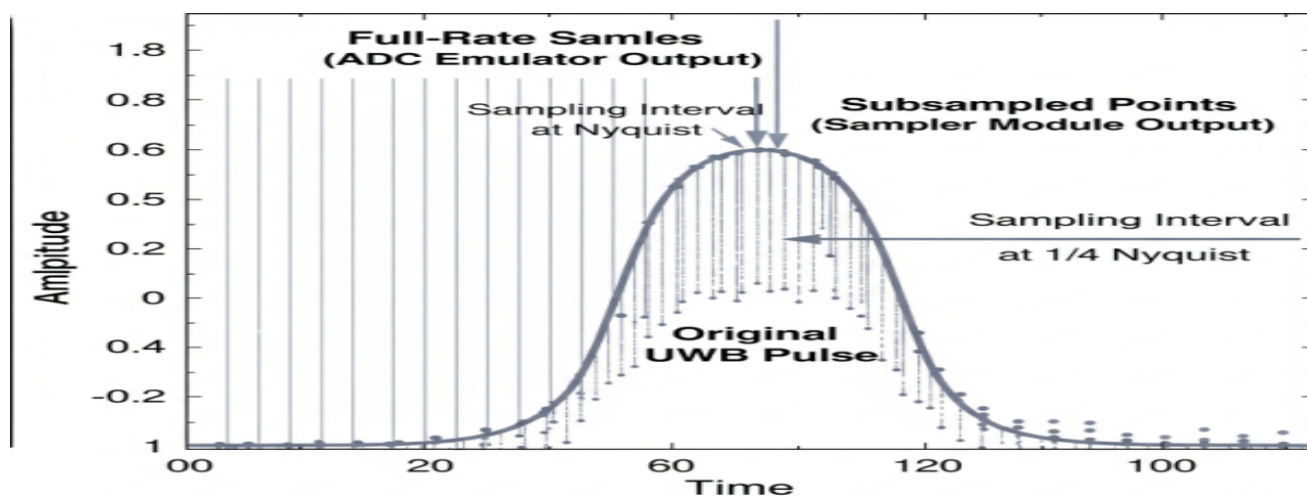


Figure. 2: Conceptual Illustration of Full-Rate versus Subsampled UWB Radar Signals in the Time Domain

Conclusion

The research titled **"Verilog Simulation of UWB Pulsed-Radar Data Acquisition"** successfully demonstrates the design, simulation, and validation of a high-speed, low-latency radar signal acquisition system using RTL modelling techniques. Through the integration of **subsampling techniques, dual-channel 12-bit ADC emulation, and FIFO-based buffering**, the architecture effectively captures ultra-wideband (UWB) radar pulses while significantly reducing the data acquisition complexity and hardware requirements. Simulations conducted in **Model Sim SE 10.5b** confirmed the **functional correctness, temporal alignment, and zero data loss** of the system under operational stress, including a **PRF of 9 kHz** and injected timing jitter. The use of **1/4 Nyquist subsampling** proved effective in preserving the essential features of the radar pulses for applications such as **Time-of-Arrival (TOA) estimation** and **target detection**. The RTL design follows FPGA-synthesizable coding practices, ensuring that the simulated architecture can be directly ported to hardware platforms for real-time deployment. Overall, this work validates that a well-structured, resource-efficient Verilog simulation can serve

as a reliable foundation for implementing high-throughput UWB radar data acquisition systems in modern embedded environments.

References

1. A. Zieliński, M. Plich, and K. Czarnecki, “Digital Signal Processing in FPGA for High-Resolution UWB Radar,” *Electronics (MDPI)*, vol. 10, no. 1, 2021.
2. T. Nguyen, P. Li, and X. Zhao, “Low-Power ADC Interfaces for Radar on FPGA,” *Sensors*, vol. 20, pp. 1–12, 2020.
3. G. R. Udupa, “Design and Verification of Radar Signal Path in FPGA,” in *IEEE Int. Radar Conf.*, 2021.
4. S. Ahmed, R. Uddin, and M. Arif, “Data Buffering and Real-Time Control for UWB Radar on FPGA,” *Microprocessors and Microsystems*, vol. 83, pp. 1–9, 2021.
5. X. Zhao, J. Wang, and T. Chen, “FPGA-Enabled Deep Learning for UWB Radar Applications,” *IEEE Sensors J.*, vol. 22, no. 4, pp. 4560–4571, 2022.
6. J. Kim, D. Lee, and S. Park, “Digital Beamforming for UWB Radar on Low-Cost FPGA Platforms,” *Electronics*, vol. 12, no. 1, 2023.
7. N. Patel, H. Shah, and R. Mehta, “Dynamic Subsampling Strategies in Radar Front-End,” *IEEE Trans. Microw. Theory Techn.*, vol. 72, no. 2, pp. 380–390, 2024.
8. J. Xu and B. Zhang, “High-Speed ADC Synchronization for Radar in FPGA,” in *Proc. IEEE Int. Conf. on Aerospace Electronics and Remote Sensing*, 2020.
9. C. Zhang et al., “FPGA-Based Real-Time UWB Pulse Generator with Adjustable Width,” *IEEE Trans. Instrum. Meas.*, vol. 70, 2021.
10. B. Chatterjee and A. Sengupta, “Robust Synchronization of UWB Signals Using FPGA-Controlled Timing Engines,” *IEEE Trans. Aerosp. Electron. Syst.*, vol. 59, no. 2, pp. 705–716, 2023.