The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025

Performance Analysis of Pipelined MAC Unit using Low power Full Adder

Kakarla Deepti[1*], S.Aruna Deepthi[2], D.Nagadevi[3],G.Raghu Babu[4],Vibha D.Kulkarni[5]

[1,2,5] Department of Electronics and Communication Engineering, Vasavi college of Engineering, Hyderabad,Telangana-India
[3] Department of Electronics and Communication Engineering, CBIT, Hyderabad, Telangana-India
[4] Dept of ME, VNR Vignana Jyothi Institute of Technology, Hyderabad, India
Corresponding Author *: deepti@staff.vce.ac.in

తక్కువ శక్తిని ఉపయోగించి పైప్‌లైన్ చేయబడిన MAC యూనిట్ పనితీరు విశ్లేషణ పూర్తి యాడర్

కాకర్ల దీప్తి [1*], ఎస్.అరుణ దీప్తి [2], డి.నాగాదేవి [3],జి.రఘు బాబు [4],విభా డి.కులకర్ణి [5]
[1,2,5] ఎలక్ట్రానిక్స్ మరియు కమ్యూనికేషన్ ఇంజనీరింగ్ విభాగం, వాసవి కాలేజ్ ఆఫ్ ఇంజనీరింగ్, హైదరాబాద్, తెలంగాణ-భారతదేశం
[3] ఎలక్ట్రానిక్స్ మరియు కమ్యూనికేషన్ ఇంజనీరింగ్ విభాగం, CBIT, హైదరాబాద్, తెలంగాణ-భారతదేశం
[4] డిపార్ట్‌మెంట్ ఆఫ్ ME, VNR విజ్ఞాన జ్యోతి ఇన్‌స్టిట్యూట్ ఆఫ్ టెక్నాలజీ, హైదరాబాద్, భారతదేశం
సంబంధిత రచయిత *: deepti@staff.vce.ac.in

వియుక్త

ప్రస్తుత పని కస్టమ్ డిజైన్ చేసిన ఫుల్ యాడర్‌లు మరియు పైప్‌లైన్డ్ ఆర్కిటెక్చరల్ టెక్నిక్‌ల ఏకీకరణ ద్వారా ఆప్టిమైజ్ చేయబడిన తక్కువ-శక్తి గల మల్టిప్లై-అక్యుమ్యులేట్ (MAC) యూనిట్ రూపకల్పన మరియు అమలును అందిస్తుంది. డిజిటల్ సిగ్నల్ ప్రాసెసర్‌లు, న్యూరల్ నెట్‌వర్క్ యాక్సిలరేటర్‌లు మరియు ఎంబెడెడ్ కంప్యూటింగ్ పరికరాలతో సహా అనేక అధిక-పనితీరు గల డిజిటల్ సిస్టమ్‌లకు మల్టిప్లై అక్యుమ్యులేట్ ఆపరేషన్‌లు కేంద్రంగా ఉన్నాయి. అయితే, అంకగణిత బ్లాక్‌లలో ముఖ్యంగా ఫుల్ యాడర్‌లలో అధిక స్విచింగ్ యాక్టివిటీ వాటిని మొత్తం విద్యుత్ వినియోగం మరియు ఆలస్యంకు ప్రాథమిక సహకారులలో ఒకటిగా చేస్తుంది. ఈ సవాలును పరిష్కరించడానికి, ఇటీవలి సాహిత్యం నుండి నాలుగు వేర్వేరు ఫుల్ యాడర్ ఆర్కిటెక్చర్‌లను ఎంపిక చేసి 45nm టెక్నాలజీ నోడ్‌లో కాడెన్స్ వర్చువోసోను ఉపయోగించి అనుకరించారు. వాటి పనితీరు శక్తి, ఆలస్యం మరియు అవుట్‌పుట్ లక్షణాల

CC BY

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025

పరంగా మూల్యాంకనం చేయబడింది. 10-ట్రాన్సిస్టర్ ఫుల్ స్వింగ్ డిజైన్ ఆధారంగా ఉత్తమంగా పనిచేసే ఫుల్ యాడర్‌ను మూడు MAC ఆర్కిటెక్చర్‌లలో ఏకీకరణ కోసం ఎంపిక చేశారు: సాంప్రదాయ (పైప్‌లైన్ చేయని) MAC , టైమ్-మల్టీప్లెక్స్డ్ పైప్‌లైన్డ్ MAC మరియు ముతక-గ్రెయిన్డ్ పైప్‌లైన్డ్ MAC . మూడు MAC ఆర్కిటెక్చర్‌లు వెరిలాగ్ HDL లో మోడల్ చేయబడ్డాయి మరియు అనుకరణ ద్వారా ధృవీకరించబడ్డాయి. 130nm ప్రాసెస్ టెక్నాలజీతో ఓపెన్ లేన్ టూల్ చైన్ ఉపయోగించి సింథసిస్, ఫ్లోర్ ప్లానింగ్, ప్లేస్‌మెంట్, రూటింగ్ మరియు పవర్ అనాలిసిస్‌తో సహా పూర్తి VLSI డిజైన్ ఫ్లో నిర్వహించబడింది. ఆప్టిమైజ్ చేయబడిన డిజైన్ యొక్క నిజమైన ప్రభావాన్ని కొలవడానికి డిఫాల్ట్ సింథసిస్-జనరేటెడ్ యాడర్‌లను కస్టమ్ లో-పవర్ యాడర్‌తో భర్తీ చేశారు. ప్రతి MAC ఆర్కిటెక్చర్ కోసం పవర్, ఏరియా మరియు డిలే మెట్రిక్‌లను సంగ్రహించి పోల్చారు. పైప్‌లైన్ చేయబడిన MAC డిజైన్‌లు, ముఖ్యంగా టైమ్-మల్టీప్లెక్స్డ్ మరియు ముతక-గ్రెయిన్డ్ టెక్నిక్‌లను ఉపయోగించేవి, ప్రాథమిక MAC తో పోలిస్తే గణనీయంగా తక్కువ విద్యుత్ వినియోగాన్ని ప్రదర్శించాయని ఫలితాలు వెల్లడించాయి. కస్టమ్ ఫుల్ యాడర్‌ను చేర్చడం వల్ల అన్ని డిజైన్‌లలో పవర్ సామర్థ్యాన్ని మరింత విస్తరించింది. తదుపరి తరం డిజిటల్ సిస్టమ్‌లకు అనువైన శక్తి-సమర్థవంతమైన అంకగణిత యూనిట్‌లను నిర్మించడానికి తక్కువ-పవర్ సర్క్యూట్ టెక్నిక్‌లను ఆర్కిటెక్చరల్-లెవల్ ఆప్టిమైజేషన్‌లతో కలపడం యొక్క ప్రభావాన్ని ఈ పని ప్రదర్శిస్తుంది. అధునాతన టెక్నాలజీ నోడ్‌లు మరియు అదనపు తక్కువ-పవర్ స్ట్రాటజీలను ఉపయోగించి భవిష్యత్తులో అన్వేషణను మరింత స్కేలబుల్, అధిక-పనితీరు గల MAC యూనిట్‌లుగా మార్చడానికి ఈ పరిశోధనలు మార్గం సుగమం చేస్తాయి.

కీలకపదాలు:

తక్కువ-శక్తి గుణకం, పాక్షిక ఉత్పత్తి తగ్గింపు, హార్వర్డ్ ఆర్కిటెక్చర్, వైశాల్యం-సమర్థవంతమైన డిజైన్, కంప్రెసర్-ఆధారిత గుణకం

1. పరిచయం

డిజిటల్ టెక్నాలజీలో వేగవంతమైన పురోగతి హై-స్పీడ్, తక్కువ-పవర్ కంప్యూటింగ్ సిస్టమ్‌లకు డిమాండ్ గణనీయంగా పెరగడానికి దారితీసింది. డిజిటల్ సిగ్నల్ ప్రాసెసింగ్ (DSP), ఆర్టిఫిషియల్ ఇంటెలిజెన్స్ (AI) మరియు ఎంబెడెడ్ అప్లికేషన్‌లలో ఉపయోగించే సిస్టమ్‌లు గుణకారం మరియు సంచితం వంటి అంకగణిత కార్యకలాపాలపై ఎక్కువగా ఆధారపడతాయి. కీలకమైన అంకగణిత భాగం అయిన గుణకారం-సంచితం (MAC) యూనిట్, ఈ కార్యకలాపాలను సమర్థవంతంగా నిర్వహించడంలో కీలక పాత్ర

CC BY

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025

పోషిస్తుంది. అయితే, శక్తి మరియు వైశాల్యంపై పెరుగుతున్న పరిమితులతో, ముఖ్యంగా బ్యాటరీతో పనిచేసే మరియు పోర్టబుల్ పరికరాల్లో, మెరుగైన పనితీరు మరియు తక్కువ శక్తి వినియోగం కోసం ఈ భాగాలను ఆప్టిమైజ్ చేయవలసిన అవసరం పెరుగుతోంది. ప్రస్తుత పని రెండు కీలక ఆప్టిమైజేషన్ వ్యూహాలపై దృష్టి పెట్టడం ద్వారా ఈ సవాళ్లను పరిష్కరిస్తుంది: తక్కువ-పవర్ ఫుల్ యాడర్‌ల రూపకల్పన మరియు పైప్‌లైన్ చేయబడిన MAC ఆర్కిటెక్చర్‌ల అమలు. వివిధ పూర్తి యాడర్ టోపోలాజీలను అన్వేషించడం మరియు వాటిని MAC యూనిట్లలోకి అనుసంధానించడం ద్వారా, గణన పనితీరును కొనసాగిస్తూ లేదా మెరుగుపరచేటప్పుడు విద్యుత్ వినియోగాన్ని తగ్గించడం లక్ష్యం. ఈ పని వెరిలాగ్‌ని ఉపయోగించి సర్క్యూట్-స్థాయి డిజైన్ మరియు RTL -స్థాయి అమలును మిళితం చేస్తుంది, తరువాత పూర్తి VLSI డిజైన్ ప్రవాహం మరియు ఫలితాల విశ్లేషణ.

పరిశోధన లక్ష్యాలు మరియు పద్ధతి

సాంప్రదాయ MAC యూనిట్లు, క్రియాత్మకంగా సమర్థవంతంగా ఉన్నప్పటికీ, అంకగణిత సర్క్యూట్లలో అధిక స్విచింగ్ కార్యాచరణ కారణంగా పెద్ద మొత్తంలో డైనమిక్ శక్తిని వినియోగిస్తాయి. అంతేకాకుండా, డిఫాల్ట్ సింథసిస్-జనరేటెడ్ ఫుల్ యాడర్‌ల వాడకం తరచుగా శక్తి, వైశాల్యం లేదా ఆలస్యం కోసం ఆప్టిమైజ్ చేయని డిజైన్‌లకు దారితీస్తుంది. అందువల్ల, సమర్థవంతమైన అంకగణిత బ్లాక్‌లను అభివృద్ధి చేయడం మరియు వాటిని MAC ఆర్కిటెక్చర్‌లలో అనుసంధానించడం తప్పనిసరి అవసరం. ప్రత్యేకంగా, ఈ ప్రాజెక్ట్ కింది కీలక సవాళ్లను పరిష్కరిస్తుంది:

ట్రాన్సిస్టర్ స్థాయిలో విద్యుత్ వినియోగాన్ని తగ్గించే తక్కువ-శక్తి గల పూర్తి యాడర్‌లను రూపొందించడం మొదటి సవాలు. స్కేల్డ్ వోల్టేజ్ పరిస్థితుల్లో కూడా, తక్కువ శక్తిని వినియోగిస్తూ ఇటువంటి యాడర్‌లు పనితీరును నిలుపుకోవాలి.

రెండవ సవాలు ఏమిటంటే, ఈ ఆప్టిమైజ్ చేయబడిన యాడర్‌లను MAC యూనిట్ నిర్మాణంలో సమర్థవంతంగా చేర్చడం. దీనికి లాజిక్ డిజైన్ మరియు ఆర్కిటెక్చరల్ అమలు మధ్య జాగ్రత్తగా సమతుల్యత అవసరం.

మూడవ సవాలు ఏమిటంటే, MAC యూనిట్ల పనితీరును మరింత మెరుగుపరచడానికి పైప్‌లైనింగ్ పద్ధతులను - ప్రత్యేకంగా టైమ్-మల్టీప్లెక్స్డ్ మరియు కోర్స్-గ్రెయిన్డ్ పైప్‌లైనింగ్ - అన్వేషించడం మరియు అమలు చేయడం. ఈ పద్ధతులు స్విచ్చింగ్ కార్యాచరణను నిర్వహించడంలో మరియు గణనకు మొత్తం శక్తిని తగ్గించడంలో సహాయపడతాయి.

CC BY

2. సాహిత్య సర్వే

D . శ్రీనివాస్, [1] గేట్ డిఫ్యూజన్ ఇన్‌పుట్ (GDI) లాజిక్‌ను ఉపయోగించి పవర్ మరియు వైశాల్యాన్ని గణనీయంగా తగ్గించే హైబ్రిడ్ 10-ట్రాన్సిస్టర్ (10T) ఫుల్ యాడర్ ఆర్కిటెక్చర్‌ను ప్రవేశపెట్టారు. వారి డిజైన్ వోల్టేజ్ క్షీణతను ఎదుర్కోవడానికి లెవల్ పునరుద్ధరణ పద్ధతులను కలిగి ఉంటుంది, వారి యాడర్ ట్రాన్సిస్టర్ కౌంట్‌లో ఆకట్టుకునే 65% తగ్గింపును మరియు పవర్-డిలే ప్రొడక్ట్ (PDP)లో 80% మెరుగుదలను ప్రదర్శిస్తుంది, ఇది అల్ట్రా-తక్కువ-వోల్టేజ్ అప్లికేషన్‌లకు ప్రత్యేకంగా అనుకూలంగా ఉంటుంది. Q . లిన్ [2], తక్కువ-పవర్ ఫుల్ యాడర్ డెవలప్‌మెంట్‌పై తన పనిలో, 10T , 8T మరియు 6 యాడర్ ఆర్కిటెక్చర్‌ల తులనాత్మక విశ్లేషణను అన్వేషిస్తాడు. పవర్ మరియు ఆలస్యం మధ్య డిజైన్ ట్రేడ్-ఆఫ్‌లను లిన్ నొక్కి చెబుతాడు మరియు PA శ్రావ్య మరియు ఇతరులను హైలైట్ చేస్తాడు. [3] పాస్ ట్రాన్సిస్టర్ లాజిక్ (PTL) ఆధారంగా పూర్తి యాడర్ సర్క్యూట్‌ల యొక్క వివరణాత్మక అధ్యయనాన్ని అందిస్తాడు. వారి పని స్విచింగ్ కార్యాచరణను తగ్గించడం మరియు కార్యాచరణ వేగాన్ని మెరుగుపరచడంపై దృష్టి పెడుతుంది. వారు 65nm , 180nm మరియు 250nm టెక్నాలజీలలో పనితీరును పోల్చి, PTL -ఆధారిత డిజైన్‌లు పవర్ మరియు ఆలస్యం మెట్రిక్‌లలో గణనీయమైన తగ్గింపును అందించగలవని తేల్చారు, ముఖ్యంగా స్కేల్డ్ టెక్నాలజీ నోడ్‌లలో ఉపయోగించినప్పుడు. అదనంగా, పంకజ్ కుమార్ మరియు పూనమ్ యాదవ్ [4] GDI -ఆధారిత పూర్తి యాడర్ డిజైన్‌ను ప్రతిపాదించారు, ఇది అవుట్‌పుట్ నాణ్యతను కాపాడుతూ లాజిక్ అమలును మరింత సులభతరం చేస్తుంది. అదేవిధంగా, M . శోబా మరియు R . నక్కీరన్ [5] శక్తి-సమర్థవంతమైన GDI -ఆధారిత యాడర్‌లను అన్వేషిస్తారు, వివిధ సరఫరా వోల్టేజ్‌లు మరియు పనిభారాల కింద వాటి ప్రవర్తనను విశ్లేషిస్తారు. రెండు అధ్యయనాలు శక్తి-సమర్థవంతమైన అంకగణిత అనువర్తనాల కోసం GDI లాజిక్ యొక్క అనుకూలతను ధృవీకరిస్తాయి. డిజిటల్ సర్క్యూట్ డిజైన్ యొక్క కీలకమైన అంశం ఏమిటంటే రిజిస్టర్ ట్రాన్స్‌ఫర్ లెవల్ (RTL) కోడ్ నుండి GDSII ఫార్మాట్ అని పిలువబడే ఫ్యాబ్రికేషన్‌కు సిద్ధంగా ఉన్న తుది లేఅవుట్‌కు మారడం. RTL దశలో, సమీర్ పల్నిట్కర్ మార్గనిర్దేశం చేసిన వెరిలాగ్ HDL , డిజైన్ యొక్క క్రియాత్మక ప్రవర్తనను మోడల్ చేయడానికి ఉపయోగించబడుతుంది. వివాడో మరియు యోసిస్ వంటి సంశ్లేషణ సాధనాలు RTL ని పవర్ కోసం ఆప్టిమైజ్ చేయబడిన గేట్-లెవల్ నెట్‌లిస్ట్‌లుగా మారుస్తాయి, పనితీరు, మరియు వైశాల్యం (PPA)[6-7]. ఈ నెట్‌లిస్ట్‌లు ఓపెన్‌లేన్ వంటి భౌతిక డిజైన్ సాధనాల ద్వారా ప్రాసెస్ చేయబడి పూర్తి లేఅవుట్‌ను ఉత్పత్తి చేస్తాయి. RTL-to-GDSII ప్రవాహంలోని

CC BY

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025

ప్రతి దశ సమయం, వైశాల్యం మరియు తయారీ సామర్థ్యం వంటి వాస్తవ-ప్రపంచ పరిమితులకు కట్టుబడి ఉండగా ప్రారంభ డిజైన్ ఉద్దేశం సంరక్షించబడిందని నిర్ధారిస్తుంది. ఈ ప్రాజెక్ట్‌లో అనుసరించిన పద్ధతి ఈ ప్రవాహానికి ఖచ్చితంగా కట్టుబడి ఉంటుంది, తద్వారా లాజికల్ మరియు ఫిజికల్ డొమైన్‌లలో ప్రతిపాదిత తక్కువ-శక్తి MAC ఆర్కిటెక్చర్ యొక్క బలమైన మూల్యాంకనాన్ని అనుమతిస్తుంది.

3. పద్ధతి

సర్వే చేయబడిన సాహిత్యం తక్కువ శక్తి కోసం పూర్తి యాడర్ సర్క్యూట్‌లను ఆప్టిమైజ్ చేయడంపై బలమైన ప్రాధాన్యతను స్పష్టంగా సూచిస్తుంది, ముఖ్యంగా గేట్ డిఫ్యూజన్ ఇన్‌పుట్ (GDI) మరియు హైబ్రిడ్ లాజిక్ శైలులను ఉపయోగించడం. అయితే, చాలా అధ్యయనాలు పైప్‌లైన్ చేయబడిన MAC ఆర్కిటెక్చర్‌లో దాని ఏకీకరణకు విశ్లేషణను విస్తరించకుండా పూర్తి యాడర్‌పై మాత్రమే దృష్టి సారించాయి. అంతేకాకుండా, అక్యుమ్యులేటర్ ఓవర్‌ఫ్లో హ్యాండ్లింగ్ వంటి క్లిష్టమైన సిస్టమ్-స్థాయి సమస్యలు తరచుగా విస్మరించబడతాయి. ముతక-గ్రెయిన్డ్ మరియు టైమ్-మల్టీప్లెక్స్డ్ పైప్‌లైనింగ్ టెక్నిక్‌ల అమలు ద్వారా MAC యూనిట్ మరింత మెరుగుపరచబడుతుంది, ఇది స్విచింగ్ యాక్టివిటీని తగ్గించడంలో మరియు త్రూపుట్‌ను మెరుగుపరచడంలో సహాయపడుతుంది. అదనంగా, డిజైన్ బిట్-విడ్త్ ఎక్స్‌టెన్షన్, సాచురేషన్ లాజిక్ మరియు పీరియాడిక్ రీసెట్‌ల వంటి వ్యూహాలను ఉపయోగించి అక్యుమ్యులేటర్ ఓవర్‌ఫ్లోను సమర్థవంతంగా నిర్వహించడానికి అంకితమైన లాజిక్‌ను కలిగి ఉంటుంది. వినూత్న యాడర్ డిజైన్‌ను బలమైన ఆర్కిటెక్చరల్-లెవల్ టెక్నిక్‌లతో కలపడం ద్వారా, ప్రతిపాదిత వ్యవస్థ ఖచ్చితమైన మరియు హై-స్పీడ్ అంకగణిత ప్రాసెసింగ్‌ను నిర్ధారించేటప్పుడు విద్యుత్ వినియోగాన్ని తగ్గించడం లక్ష్యంగా సమగ్ర పరిష్కారాన్ని అందిస్తుంది.

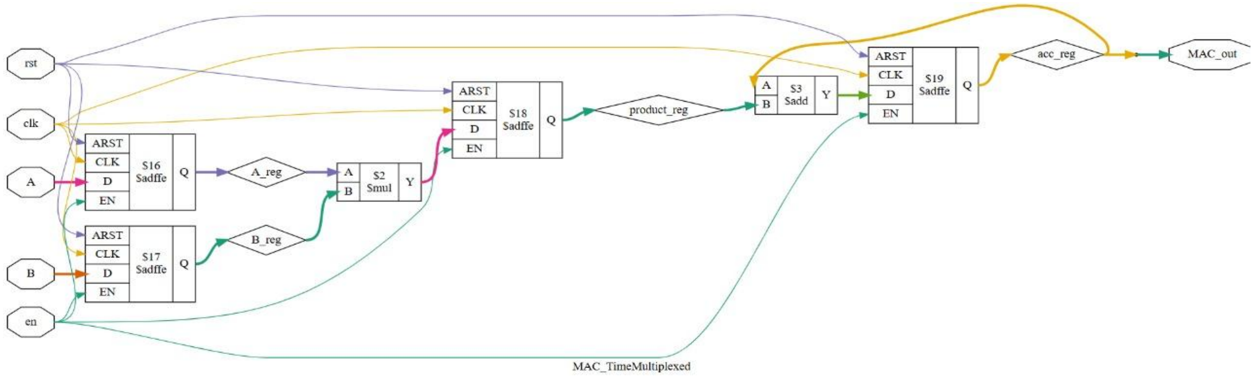
4. ప్రయోగాత్మక సెటప్ మరియు అమలు

తగ్గిన శక్తి మరియు వైశాల్యాన్ని సాధించడానికి, నాలుగు వేర్వేరు పూర్తి యాడర్ సర్క్యూట్‌లను రూపొందించారు: 10-ట్రాన్సిస్టర్ (10T), 10T ఫుల్ స్వింగ్, 11T, మరియు 12T యాడర్‌లు. వీటిలో ప్రతి ఒక్కటి కాడెన్స్ వర్చువోసోలో ట్రాన్సిస్టర్-స్థాయి స్కీమాటిక్ డిజైన్‌ను ఉపయోగించి అమలు చేయబడ్డాయి. సర్క్యూట్ టోపోలాజీలు పరిశోధన సాహిత్యంపై ఆధారపడి ఉన్నాయి మరియు లాజిక్ కార్యాచరణను తాత్కాలిక విశ్లేషణను ఉపయోగించి నిర్ధారించారు. మొత్తం మరియు క్యారీ అవుట్‌పుట్‌లకు సరైన ట్రాన్సిస్టర్ కనెక్టివిటీని నిర్ధారించడం ద్వారా స్కీమాటిక్‌లను జాగ్రత్తగా గీసారు. అన్ని డిజైన్‌ల కోసం, L =100 nmతో కనీస పొడవు ట్రాన్సిస్టర్‌లు ఉపయోగించబడ్డాయి. ట్రాన్సిస్టర్ వెడల్పు W ప్రారంభంలో

CC BY

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025

120 nm గా ఎంపిక చేయబడింది మరియు డ్రైవ్ బలాన్ని మెరుగుపరచడానికి మరియు ఆలస్యాన్ని తగ్గించడానికి ఎంపిక చేసిన ప్రదేశాలలో అప్‌సైజింగ్ జరిగింది. ఈ విలువలను నిర్ణయించేటప్పుడు లేఅవుట్ సాధ్యత మరియు పరాన్నజీవి పరిగణనలు పరిగణించబడ్డాయి, ఎందుకంటే అసమతుల్యత లేదా సరికాని పరిమాణం ఫంక్షనల్ లోపాలకు లేదా పెరిగిన విద్యుత్ వినియోగానికి దారితీస్తుంది. ప్రాథమిక MAC యూనిట్ రెండు ఆపరాండ్‌ల గుణకారాన్ని నిర్వహిస్తుంది మరియు ఫలితాన్ని ఒక క్లాక్ సైకిల్‌లో గతంలో సేకరించిన విలువకు జోడిస్తుంది. ఇది సంచిత ఫలితాన్ని పట్టుకోవడానికి రిజిస్టర్‌తో గుణకం మరియు యాడర్‌ను కలిగి ఉంటుంది. ఈ డిజైన్ క్రియాత్మకంగా సరైనదే అయినప్పటికీ, ఇది సమాంతరత లేదా పైప్‌లైనింగ్‌ను సద్వినియోగం చేసుకోదు మరియు అందువల్ల నిరంతర కార్యకలాపాలలో ఎక్కువ శక్తిని వినియోగిస్తుంది. పనితీరును మెరుగుపరచడానికి మరియు శక్తిని తగ్గించడానికి, రెండు పైప్‌లైన్ చేయబడిన నిర్మాణాలు రూపొందించబడ్డాయి. టైమ్-మల్టీప్లెక్స్డ్ పైప్‌లైన్ చేయబడిన MAC బహుళ క్లాక్ సైకిల్స్‌లో మల్టీప్లెక్సింగ్ ఆపరేషన్‌ల ద్వారా హార్డ్‌వేర్‌ను తిరిగి ఉపయోగిస్తుంది. Fig1 లో చూపిన విధంగా వివిధ చక్రాలలో ఆపరేషన్ల క్రమాన్ని నిర్వహించడానికి నియంత్రణ సంకేతాలు ఉపయోగించబడ్డాయి . అయితే, సీక్వెన్షియల్ ఎగ్జిక్యూషన్ కారణంగా, గణన యొక్క జాప్యం పెరుగుతుంది. దీనికి విరుద్ధంగా, ముతక-గ్రెయిన్డ్ పైప్‌లైన్ చేయబడిన MAC గుణకం తర్వాత మరియు యాడర్ ముందు వంటి దశల మధ్య స్పష్టమైన పైప్‌లైన్ రిజిస్టర్‌లను అమలు చేస్తుంది. ఇది బహుళ కార్యకలాపాలను వివిధ పైప్‌లైన్ దశలలో సమాంతరంగా ప్రాసెస్ చేయడానికి అనుమతిస్తుంది, ఇది సిస్టమ్ యొక్క నిర్గమాంశను మెరుగుపరుస్తుంది. అదనపు రిజిస్టర్‌లు మరియు నియంత్రణ లాజిక్ కారణంగా ఇది ప్రాంతాన్ని పెంచినప్పటికీ, ఇది అధిక-త్రూపుట్ అప్లికేషన్‌లలో మొత్తం గణన సమయాన్ని గణనీయంగా తగ్గిస్తుంది.

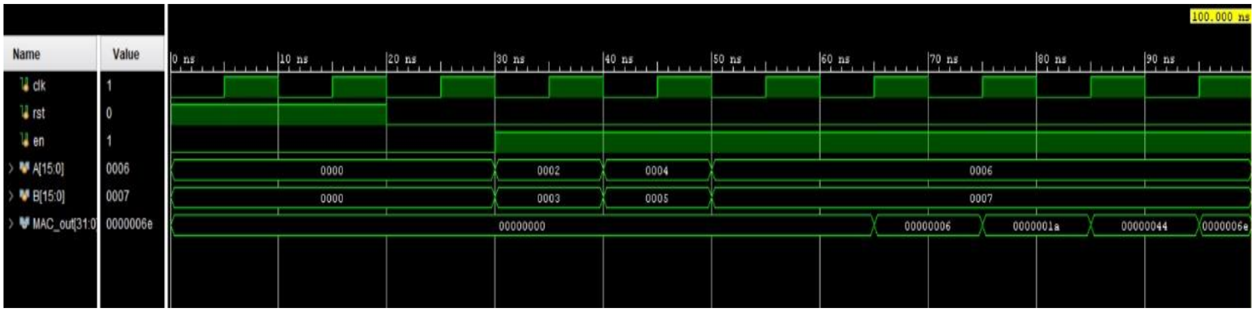


చిత్రం 1. ప్రతిపాదిత MAC యూనిట్

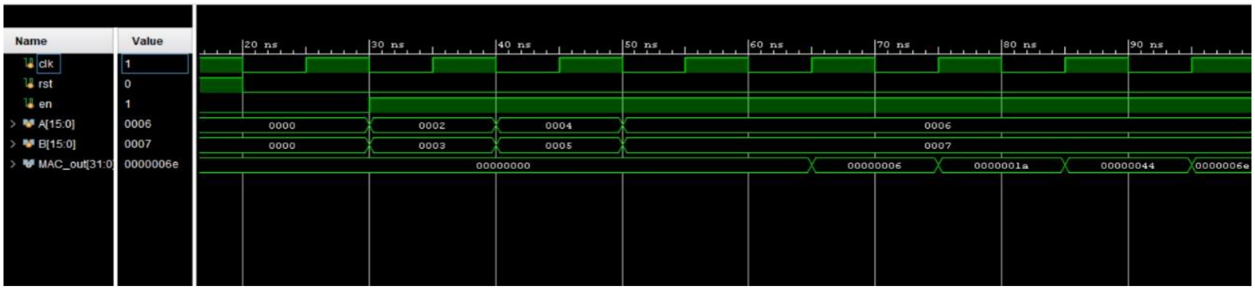
CC BY

5. ఫలితాల విశ్లేషణ

ప్రాథమిక MAC యూనిట్ యొక్క RTL సిమ్యులేషన్ వేవ్‌ఫార్మ్ ఇన్‌పుట్‌ల సీక్వెన్షియల్ ప్రాసెసింగ్‌ను నిర్ధారిస్తుంది. ఆపరేషన్ గుణకారం తరువాత సంచితం చేస్తుంది, అవుట్‌పుట్‌ను ఉత్పత్తి చేస్తుంది. వేవ్ ఫార్మ్ ప్రతి ఆపరేషన్ సైకిల్ యొక్క స్పష్టమైన, అతివ్యాప్తి చెందని అమలును Fig.2 లో చూపబడింది. Fig.3 లో చూపిన విధంగా ముతక-కణిత MAC యూనిట్ బహుళ దశలలో పూర్తిగా సమాంతర అమలును ప్రదర్శించింది. వేవ్‌ఫార్మ్ గుణకారం మరియు సంచిత బ్లాక్‌లలో ఏకకాల కార్యాచరణను చూపిస్తుంది, ప్రాథమిక MAC తో పోలిస్తే ప్రాసెసింగ్ సామర్థ్యాన్ని సమర్థవంతంగా రెట్టింపు చేస్తుంది. జాప్యం తగ్గించబడింది మరియు అవుట్‌పుట్ వేగంగా మరియు మరింత క్రమం తప్పకుండా కనిపించింది. పనితీరు యొక్క పోలిక పట్టిక 1 లో చూపబడింది.



టైమ్-మల్టీప్లెక్స్డ్ MAC కోసం టైమింగ్ రేఖాచిత్రం



చిత్రం 3. ముతక కణిత MAC కోసం టైమింగ్ రేఖాచిత్రం

CC BY

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025

పట్టిక 1: మూడు MAC యూనిట్ల పనితీరు పోలిక

MAC యూనిట్ రకం	సీక్వెన్షియల్ పవర్	సంయోగ శక్తి	మొత్తం శక్తి	కనుగొన్నవి
ప్రాథమిక MAC యూనిట్	2.38×10^{-4} వాట్స్ (9.7%)	22.2×10^{-4} వాట్స్ (90.3%)	24.6×10^{-4} వాట్స్	ప్రత్యక్ష గుణకారం మరియు సంచితం కారణంగా అధిక సంయోగ శక్తి.
టైమ్-మల్టీప్లెక్స్డ్ MAC	2.83×10^{-4} వాట్స్ (52.2%)	2.59×10^{-4} వాట్స్ (47.8%)	5.41×10^{-4} వాట్స్	టైమ్-మల్టీప్లెక్సింగ్, లోయర్ పీక్ లాజిక్ యాక్టివిటీ కారణంగా బ్యాలెన్స్డ్ పవర్.
ముతక-కణిత MAC	3.01×10^{-4} వాట్స్ (54.0%)	2.56×10^{-4} వాట్స్ (46.0%)	5.57×10^{-4} వాట్స్	మరిన్ని రిజిస్టర్లు=కొంచెం ఎక్కువ వరుస శక్తి, ఇలాంటి మొత్తం శక్తి.

ముగింపు

ఫలితాలు MAC యూనిట్ అతి తక్కువ ప్రాంతాన్ని కలిగి ఉందని రుజువు చేస్తున్నాయి: మూడు ఆర్కిటెక్చర్లలో, బేసిక్ MAC యూనిట్ 17018.822400 యూనిట్ల వద్ద అతి చిన్న ప్రాంతాన్ని ఆక్రమించింది, ఇది అత్యంత విస్తీర్ణ-సమర్థవంతమైనదిగా చేస్తుంది. పైప్‌లైనింగ్‌తో వైశాల్యం పెరుగుతుంది: టైమ్-మల్టీప్లెక్స్డ్ మరియు కోర్స్-గ్రెయిన్డ్ MAC యూనిట్లు రెండూ బేసిక్ MAC యూనిట్‌తో పోలిస్తే అధిక వైశాల్య విలువలను కలిగి ఉంటాయి, పైప్‌లైనింగ్ పద్ధతులు వైశాల్యాన్ని పెంచుతాయని సూచిస్తున్నాయి. టైమ్-మల్టీప్లెక్స్డ్ vs . కోర్స్-గ్రెయిన్డ్: కోర్స్-గ్రెయిన్డ్ MAC యూనిట్ 20315.734400 యూనిట్ల వద్ద అత్యధిక ప్రాంతాన్ని వినియోగిస్తుంది, ఇది టైమ్-మల్టీప్లెక్స్డ్ MAC యూనిట్ కంటే దాదాపు 1343.7888 యూనిట్లు ఎక్కువ. పైప్‌లైన్డ్ ఆర్కిటెక్చర్‌లలో గమనించిన వైశాల్యం ఓవర్‌హెడ్ పైప్‌లైనింగ్ కోసం ప్రవేశపెట్టబడిన అదనపు రిజిస్టర్‌లు మరియు నియంత్రణ లాజిక్‌కు అనుగుణంగా ఉంటుంది, ముఖ్యంగా కోర్స్-గ్రెయిన్డ్ పైప్‌లైనింగ్‌లో ఎక్కువ దశలను ఉపయోగిస్తుంది. వేగం మరియు శక్తిలో వైశాల్యం మరియు సంభావ్య మెరుగుదలల మధ్య స్పష్టమైన ట్రేడ్-ఆఫ్ ఉంది; పైప్‌లైన్ చేయబడిన MAC లు ఎక్కువ ప్రాంతాన్ని వినియోగిస్తున్నప్పటికీ, అవి మెరుగైన పనితీరును అందించవచ్చు, ముఖ్యంగా అధిక-త్రూపుట్ అప్లికేషన్‌లకు.

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025

ప్రస్తావనలు

1. డి. శ్రీనివాస్, ఎన్ఎస్ఎస్ రెడ్డి, మరియు బిఆర్ నాయక్, “తక్కువ విద్యుత్ అనువర్తనాల కోసం హైబ్రిడ్ 10T యాడర్ రూపకల్పన మరియు విశ్లేషణ,” ఈ-ప్రైమ్ - పురోగతి లో విద్యుత్ ఇంజనీరింగ్, ఎలక్ట్రానిక్స్ మరియు శక్తి, వాల్యూమ్. 6, పేజీ. 100379, డిసెంబర్ 2023, doi: 10.1016/j.prime.2023.100379.
2. ప్ర. లిన్, “లో-పవర్ ఫుల్ యాడర్ డిజైన్ అండ్ డెవలప్‌మెంట్,” 2023 ఎలక్ట్రానిక్ ఇన్ఫర్మేషన్ ఇంజనీరింగ్ మరియు కంప్యూటర్ సైన్స్ (EIECS) పై 3వ అంతర్జాతీయ సమావేశం, వాల్యూమ్. 2, పేజీలు. 226–229, సెప్టెంబర్. 2023, doi: 10.1109/eiecs59936.2023.10435593.
3. PA శ్రావ్య, CR శెట్టి, నిధి, DP సువర్ణ, రూపశ్రీ, మరియు A. బెకల్, “ఎనాలిసిస్ ఆఫ్ హై-పెర్ఫార్మెన్స్ తక్కువ పవర్ ఫుల్ యాడర్ సర్క్యూట్,” 2023 IEEE pp. 1–6, ఫిబ్రవరి 2023, doi: 10.1109/icacs20.20215
4. పంకజ్ కుమార్, పూనమ్ యాదవ్, "డిజైన్ మరియు విశ్లేషణ యొక్క జిడిఐ బేస్డ్ ఫుల్ యాడర్ సర్క్యూట్ కోసం తక్కువ "పవర్ అప్లికేషన్స్," ఇంట్. జర్నల్ ఆఫ్ ఇంజనీరింగ్ రీసెర్చ్ అండ్ అప్లికేషన్లు ISSN: 2248-9622, వాల్యూమ్ 4, ఇష్యూ 3 (వెర్షన్ 1), మార్చి 2014, పేజీలు 462-465.
5. ఎం. శోబా మరియు ఆర్. నక్కీరన్, “శక్తి సమర్థవంతమైన అంకగణిత అనువర్తనాల కోసం GDI ఆధారిత పూర్తి యాడర్లు,” ఇంజనీరింగ్ సైన్స్ మరియు టెక్నాలజీ, ఒక అంతర్జాతీయ జర్నల్, వాల్యూమ్. 19, లేదు. 1, పేజీలు 485–496, మార్చి 2022, doi: 10.1016/j.jestch.2015.09.006.
6. ఎస్. సౌరభ్, “RTL నుండి GDS అమలు ప్రవాహం,” ఇన్ ఇంట్రడక్షన్ టు VLSI డిజైన్ ఫ్లో, కేంబ్రిడ్జ్: కేంబ్రిడ్జ్ యూనివర్సిటీ ప్రెస్, 2023, పేజీలు 69–82.
7. F. కాష్ఫీ, SM ఫఖ్రై, మరియు S. సఫారీ, “65nm 10GHz పైప్‌లైన్డ్ MAC స్ట్రక్చర్,” 2008 IEEE ఇంటర్నేషనల్ సింపోజియం ఆన్ సర్క్యూట్స్ అండ్ సిస్టమ్స్, pp. 460–463, మే 2021, doi: 10.1109/iscas.2008.4541454.

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025
PP 159-165

Performance Analysis of Pipelined MAC Unit using Low power Full Adder

Kakarla Deepti[1*], S.Aruna Deepthi[2], D.Nagadevi[3],G.Raghu Babu[4],Vibha D.Kulkarni[5]
[1,2,5] Department of Electronics and Communication Engineering, Vasavi college of Engineering, Hyderabad,Telangana-India
[3] Department of Electronics and Communication Engineering, CBIT, Hyderabad, Telangana-India
[4] Dept of ME, VNR Vignana Jyothi Institute of Technology, Hyderabad, India
Corresponding Author *: deepti@staff.vce.ac.in

Abstract

The present work presents the design and implementation of a low-power multiply-Accumulate (MAC) unit optimized through the integration of custom designed full adders and pipelined architectural techniques. Multiply Accumulate operations are central to numerous high-performance digital systems, including digital signal processors, neural network accelerators, and embedded computing devices. However, the high switching activity in arithmetic blocks particularly full adders makes them one of the primary contributors to overall power consumption and delay.To address this challenge, four different full adder architectures were selected from recent literature and simulated using Cadence Virtuoso at the 45nm technology node. Their performance was evaluated in terms of power, delay, and output characteristics. The best- performing full adder based on a 10-transistor full swing design was chosen for integration into three MAC architectures: a conventional (non-pipelined) MAC, a time- multiplexed pipelined MAC, and a coarse-grained pipelined MAC. All three MAC architectures were modelled in Verilog HDL and verified through simulation. The complete VLSI design flow, including synthesis, floor planning, placement, routing, and power analysis, was carried out using the Open Lane tool chain with a 130nm process technology. The default synthesis-generated adders were replaced with the custom low-power adder to measure the true impact of the optimized design. Power, area, and delay metrics were extracted for each MAC architecture and compared. Results revealed that pipelined MAC designs, especially those using time- multiplexed and coarse-grained techniques, exhibited significantly lower power consumption compared to the basic MAC. The incorporation of the custom full adder further amplified the power efficiency across all designs. This work demonstrates the effectiveness of combining low-power circuit techniques with architectural-level optimizations to build energy-efficient arithmetic units suitable for next-generation digital systems. The findings pave the way for future exploration into more

scalable, high-performance MAC units using advanced technology nodes and additional low-power strategies.

Keywords:
Low-Power Multiplier, Partial Product Reduction, Harvard Architecture, Area-Efficient Design, Compressor-Based Multiplier

1. Introduction

The rapid advancement in digital technology has led to a significant increase in the demand for high-speed, low-power computing systems. Systems used in digital signal processing (DSP), artificial intelligence (AI), and embedded applications rely heavily on arithmetic operations such as multiplication and accumulation. The Multiply-Accumulate (MAC) unit, a crucial arithmetic component, plays a central role in performing these operations efficiently. However, with growing constraints on power and area, especially in battery-operated and portable devices, there is an increasing need to optimize these components for better performance and lower energy consumption. The present work addresses these challenges by focusing on two key optimization strategies: the design of low-power full adders and the implementation of pipelined MAC architectures. By exploring various full adder topologies and integrating them into MAC units, the goal is to reduce power consumption while maintaining or improving computational performance. The work combines circuit-level design and RTL-level implementation using Verilog, followed by complete VLSI design flow and analysis of the results.

Research Objectives and Methodology

Traditional MAC units, while functionally efficient, tend to consume a large amount of dynamic power due to high switching activity in arithmetic circuits. Moreover, the use of default synthesis-generated full adders often results in designs that are not optimized for power, area, or delay. Therefore, there is a compelling need to develop efficient arithmetic blocks and integrate them into MAC architectures. Specifically, this project addresses the following key challenges:

The first challenge is to design low-power full adders that minimize power consumption at the transistor level. Such adders should retain performance while consuming less power, even under scaled voltage conditions.

The second challenge is to effectively incorporate these optimized adders into the structure of a MAC unit. This requires a careful balance between logic design and architectural implementation.

The third challenge is to explore and implement pipelining techniques—specifically time-multiplexed and coarse-grained pipelining—to further improve the performance of

CC BY

MAC units. These techniques help in managing switching activity and reducing overall energy per computation.

2. Literature Survey

D. Srinivas, [1] introduced a hybrid 10-transistor (10T) full adder architecture that utilizes Gate Diffusion Input (GDI) logic to significantly reduce power and area. Their design incorporates level restoration techniques to combat voltage degradation, their adder demonstrates an impressive 65% reduction in transistor count and an 80% improvement in Power-Delay Product (PDP), making it particularly suitable for ultra-low-voltage applications.Q. Lin [2], in his work on low-power full adder development, explores a comparative analysis of 10T, 8T, and 6T adder architectures. Lin emphasizes the design trade-offs between power and delay, and highlights P. A. Shraavya et al. [3] contribute a detailed study of full adder circuits based on Pass Transistor Logic (PTL). Their work focuses on reducing switching activity and improving operational speed. They compare the performance across 65nm, 180nm, and 250nm technologies, concluding that PTL-based designs can provide a substantial reduction in both power and delay metrics, especially when used in scaled technology nodes.Additionally, Pankaj Kumar and Poonam Yadav [4] propose a GDI-based full adder design that further simplifies the logic implementation while preserving output quality. Similarly, M. Shoba and R. Nakkeeran [5] explore energy-efficient GDI-based adders, analysing their behaviour under varying supply voltages and workloads. Both studies validate the suitability of GDI logic for energy-efficient arithmetic applications. A critical aspect of digital circuit design is the transition from Register Transfer Level (RTL) code to a final layout ready for fabrication, known as the GDSII format. At the RTL stage, Verilog HDL, as guided by Samir Palnitkar, is used to model the functional behaviour of the design. Synthesis tools such as Vivado and Yosys convert the RTL into gate-level netlists optimized for power, performance, and area (PPA)[6-7]. These netlists are then processed by physical design tools like OpenLane to generate a complete layout. Each step in the RTL-to-GDSII flow ensures that the initial design intent is preserved while adhering to real-world constraints such as timing, area, and manufacturability. The methodology followed in this project adheres strictly to this flow, thereby enabling a robust evaluation of the proposed low-power MAC architecture across both logical and physical domains.

3. Methodology

The literature surveyed clearly indicates a strong emphasis on optimizing full adder circuits for low power, especially using Gate Diffusion Input (GDI) and hybrid logic styles. However,

CC BY

most studies have focused solely on the full adder itself without extending the analysis to its integration within a pipelined MAC architecture. Moreover, critical system- level issues such as accumulator overflow handling are often overlooked.The MAC unit is further enhanced through the implementation of coarse-grained and time-multiplexed pipelining techniques, which help in reducing switching activity and improving throughput. Additionally, the design includes dedicated logic to manage accumulator overflow effectively, using strategies such as bit-width extension, saturation logic, and periodic resets. By combining innovative adder design with robust architectural-level techniques, the proposed system offers a holistic solution aimed at minimizing power consumption while ensuring accurate and high-speed arithmetic processing.

4. Experimental Setup and Implementation

To achieve reduced power and area, four different full adder circuits were designed: 10-transistor (10T), 10T full swing, 11T, and 12T adders. Each of these was implemented using transistor-level schematic design in Cadence Virtuoso. The circuit topologies were based on research literature, and logic functionality was ensured using transient analysis. The schematics were carefully drawn by ensuring proper transistor connectivity for the sum and carry outputs. For all the designs, minimum length transistors with L=100 nm were used. The transistor width W was initially chosen as 120 nm, and upsizing was done in selective places to improve the drive strength and reduce delay. The layout feasibility and parasitic considerations were considered while deciding these values, as mismatches or improper sizing could lead to functional errors or increased power consumption. The basic MAC unit performs the multiplication of two operands and adds the result to the previously accumulated value in one clock cycle. It consists of a multiplier and an adder with a register to hold the accumulated result. While this design is functionally correct, it does not take advantage of the parallelism or pipelining and hence consumes more power in continuous operations.To improve performance and reduce power, two pipelined architectures were designed. The time-multiplexed pipelined MAC reuses hardware by multiplexing operations across multiple clock cycles. Control signals were used to manage the sequencing of operations across different cyclesas shown in Fig1. However, due to sequential execution, the latency of computation increases.In contrast, the coarse-grained pipelined MAC implements clear pipeline registers between the stages, such as after the multiplier and before the adder. This allows multiple operations to be processed in parallel across different pipeline stages, improving the throughput of the system. Although it increases the area due to additional registers and control logic, it significantly reduces the total computation time in high-throughput applications.

CC BY

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025
PP 159-165

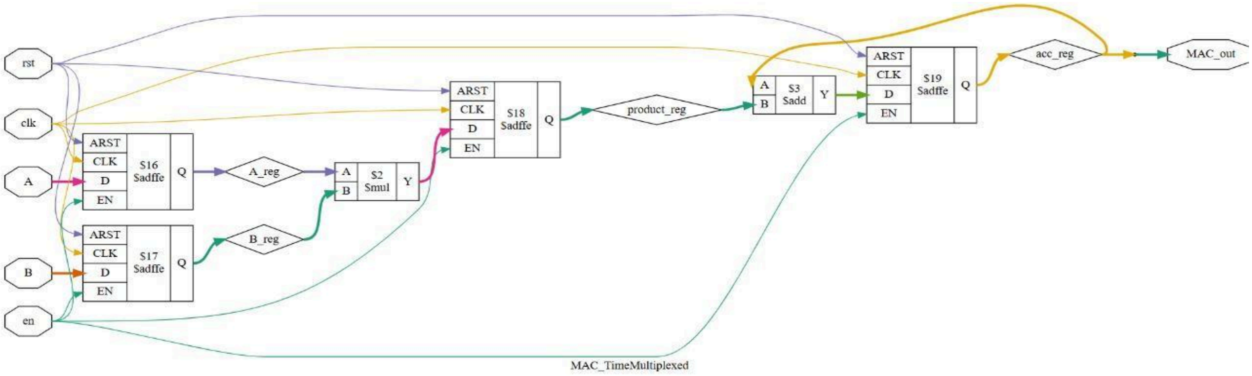


Fig.1. Proposed MAC Unit

5. Result Analysis

The RTL simulation waveform of the basic MAC unit confirms the sequential processing of inputs. The operation performs multiplication followed by accumulation, producing the output. The waveform illustrates clear, non-overlapping execution of each operation cycle are shown in Fig.2.. The coarse-grained MAC unit as shown in Fig.3. exhibited fully parallel execution across multiple stages. The waveform shows simultaneous activity in multiply and accumulate blocks, effectively doubling the processing capability compared to the basic MAC. The latency was reduced, and the output appeared faster and more regularly. The comparison of performance is shown in table1.

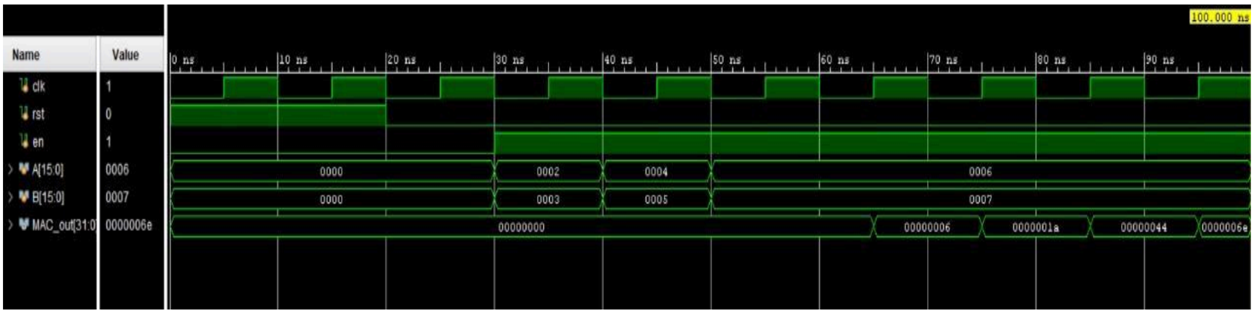


Fig 2.Timing diagram for Time-Multiplexed MAC

The Journal of Computational Science and Engineering (TJCSE)
ISSN 2583-9055 (Media Online)
Vol 3, No 11, Nov 2025
PP 159-165

Fig 3.Timing diagram for coarse grained MAC

Table1: Comparison of performance for three MAC Units

Type of MAC Unit	Sequential Power	Combinational power	Total Power	Findings
Basic MAC Unit	2.38 x 10^{-4}W (9.7%)	22.2 x10^{-4}W (90.3%)	24.6 x 10^{-4}W	High combinational power due to direct multiplication and accumulation.
Time-Multiplexed MAC	2.83 x 10^{-4}W (52.2%)	2.59 x 10^{-4}W (47.8%)	5.41 x 10^{-4}W	Balanced power due to time-multiplexing, lower peak logic activity.
Coarse-Grained MAC	3.01 x 10^{-4}W (54.0%)	2.56 x 10^{-4}W (46.0%)	5.57 x 10^{-4}W	More registers=slightly higher sequential power, similar total power.

Conclusion

The results prove that MAC Unit has the Least Area: Among the three architectures, the Basic MAC Unit occupies the smallest area at 17018.822400 units, making it the most area-efficient. Area Increases with Pipelining: Both Time-Multiplexed and Coarse-Grained MAC Units have higher area values compared to the Basic MAC Unit, indicating that pipelining techniques increase area. Time-Multiplexed vs. Coarse-Grained: The Coarse-Grained MAC Unit consumes the most area at 20315.734400 units, which is approximately 1343.7888 units more than the Time-Multiplexed MAC Unit. The area overhead observed in pipelined architectures likely corresponds to additional registers and control logic introduced for pipelining, especially in Coarse-Grained pipelining which uses more stages. There's a clear trade-off between area and potential improvements in speed and power; although pipelined MACs consume more area, they may offer better performance, especially for high-throughput applications.

References

1. D. Srinivas, N. S. S. Reddy, and B. R. Naik, “Design and analysis of hybrid 10T adder for low power applications,” e-Prime - Advances in Electrical Engineering, Electronics and Energy, vol. 6, p. 100379, Dec. 2023, doi: 10.1016/j.prime.2023.100379.
2. Q. Lin, “Low-Power Full Adder Design and Development,” 2023 3rd International Conference on Electronic Information Engineering and Computer Science (EIECS), vol. 2, pp. 226–229, Sep. 2023, doi: 10.1109/eiecs59936.2023.10435593.
3. P. A. Shraavya, C. R. Shetty, Nidhi, D. P. Suvarna, Roopashree, and A. Bekal, “Analysis of High- Performance Low Power Full Adder Circuit,” 2023 IEEE pp. 1–6, Feb. 2023, doi: 10.1109/icicacs57338.2023.10100024.
4. Pankaj Kumar, Poonam Yadav, “Design and Analysis of GDI Based Full Adder Circuit for Low Power Applications,” Int. Journal of Engineering Research and Applications ISSN : 2248-9622, Vol. 4, Issue 3(Version 1), March 2014, pp.462-465.
5. M. Shoba and R. Nakkeeran, “GDI based full adders for energy efficient arithmetic applications,” Engineering Science and Technology, an International Journal, vol. 19, no. 1, pp. 485–496, Mar. 2022, doi: 10.1016/j.jestch.2015.09.006.
6. S. Saurabh, “RTL to GDS Implementation Flow,” in Introduction to VLSI Design Flow, Cambridge: Cambridge University Press, 2023, pp. 69–82.
7. F. Kashfi, S. M. Fakhraie, and S. Safari, “A 65nm 10GHz pipelined MAC structure,” 2008 IEEE International Symposium on Circuits and Systems, pp. 460–463, May 2021, doi: 10.1109/iscas.2008.4541454.

CC BY